



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2002-0066511
Application Number

출원년월일 : 2002년 10월 30일
Date of Application OCT 30, 2002

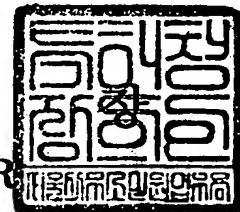
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 05 월 29 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0010
【제출일자】	2002.10.30
【발명의 명칭】	전류 소모를 줄인 입력 버퍼 회로
【발명의 영문명칭】	Input buffer circuit for reducing current of SSTL interface input device
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【성명】	강성배
【대리인코드】	9-1999-000101-3
【포괄위임등록번호】	1999-024436-4
【발명자】	
【성명의 국문표기】	이재진
【성명의 영문표기】	LEE, Jae Jin
【주민등록번호】	631030-1380715
【우편번호】	467-850
【주소】	경기도 이천시 대월면 사동리 현대5차아파트 501동 401호
【국적】	KR
【발명자】	
【성명의 국문표기】	이강설
【성명의 영문표기】	LEE, Kang Seol
【주민등록번호】	720224-1464421
【우편번호】	150-853
【주소】	서울특별시 영등포구 신길1동 454-15 19/6
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 강성배 (인)

【수수료】

【기본출원료】	20	면	29,000	원
---------	----	---	--------	---

【가산출원료】	0	면	0	원
---------	---	---	---	---

【우선권주장료】	0	건	0	원
----------	---	---	---	---

【심사청구료】	6	항	301,000	원
---------	---	---	---------	---

【합계】	330,000	원		
------	---------	---	--	--

【첨부서류】	1. 요약서·명세서(도면)_1통			
--------	-------------------	--	--	--

【요약서】**【요약】**

본 발명은 SSTL 인터페이스에 사용되는 입력장치에 관한 것으로, 외부입력신호를 외부에서 입력되는 기준 전위와 비교하여 입력받는 차동버퍼와, 외부 입력신호를 CMOS버퍼링하는 CMOS 버퍼링하는 CMOS버퍼를 구비하고, 외부에서 명령신호 혹은 어드레스 신호의 입력이 없는 경우 및 리프레쉬 동작등의 특정동작에서 CMOS 버퍼가 동작되게 하여 대기시 전류소모를 줄일 수 있도록 한다. 또한, 기준 전위(Vref)가 정상적인 동작 영역을 유지하지 못하는 경우에 오동작 방지를 위하여 기준전위(Vref) 레벨 감지회로를 더 포함시켜 기준전위(Vref)가 특정 정상 동작 영역을 벗어나는 경우에 CMOS 버퍼가 동작되도록 하며, 입력신호가 충분한 스윙(Swing)을 하는 경우에 입력 버퍼가 CMOS로 동작하도록 하기 위하여 외부에서 입력되는 입력신호의 전위 감지회로를 더 포함시켜 구성함에 특징이 있다.

【대표도】

도 2

【색인어】

차동버퍼, 입력버퍼, CMOS 버퍼, 전류소모

【명세서】

【발명의 명칭】

전류 소모를 줄인 입력 버퍼 회로{Input buffer circuit for reducing current of SSTL interface input device}

【도면의 간단한 설명】

도 1 은 종래 SSTL 인터페이스 입력장치의 입력 버퍼 회로도.

도 2는 본 발명에 의한 SSTL 인터페이스 입력장치의 입력 버퍼 회로도.

도 3은 본 발명에 의한 입력 버퍼 회로의 기준전위 레벨 감지회로도.

도 4는 본 발명에 의한 입력 버퍼 회로의 외부입력신호 전위 감지 회로도.

<도면의 주요 부분에 대한 부호의 설명>

10 : 차동 버퍼

20 : CMOS 버퍼

30 : 제어부

40 : 출력부

51, 52, 61, 62 : 제1, 제2 기준전위 발생부

53, 54 : 제1, 제2 기준전위 비교부

55 : 콘트롤신호 출력부

63, 64 : 제1, 제2비교부

65, 66 : 제1, 제2래치부

EXTIN : 외부입력신호

Vref : 외부입력 기준전위

Vref1, Vref2 : 내부발생 제1, 제2기준전위

CTRL : 콘트롤신호

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <14> 본 발명은 SSTL 인터페이스에 사용되는 입력장치에 관한 것으로, 특히 입력버퍼로서 차동버퍼와 CMOS 버퍼를 구비하고 리프레쉬등의 특정한 동작에서 CMOS버퍼가 동작되도록 하여 대기시에 입력 버퍼에서 전류 소모가 발생하는 것을 줄일 수 있도록 한 전류 소모를 줄인 입력 버퍼 회로에 관한 것이다.
- <15> 상기 SSTL 인터페이스는, 외부에서 입력되는 신호의 전위가 전원 전위와 접지 전위 사이를 움직이는 것이 아니라 특정한 기준 전위를 중심으로(예; 1.4V) 특정 전위(예; 0.4V) 이상 혹은 이하로 움직이는 것을 말한다. 이러한 SSTL 인터페이스에 사용되는 입력장치로는 주로 차동 버퍼회로가 이용되고 있다.
- <16> 도 1은 종래 SSTL 인터페이스의 입력 버퍼 회로도이다. 외부 입력신호(EXTIN)는 어드레스 신호, 콘트롤 신호, 데이터 신호등을 말하며, 도면에 도시된 바와 같이, 콘트롤 신호(CTRL)에 의해 제어되는 차동 비교회로(1)로 구성되고, 상기 외부입력신호(EXTIN)가 외부에서 입력되는 기준 전위(Vref)와 비교되어 인터페이스의 입력신호(INT2)로서 출력된다. 즉, 2개의 앤모스 트랜지스터(N1)(N2)가 각각 외부입력신호(EXTIN)와 기준전위(Vref)에 의해 제어되고, 콘트롤신호(CTRL)에 의해 피모스 트랜지스터(P1)(P4) 및 앤모스 트랜지스터(N3)가 상기 차동 비교를 위한 앤모스트랜지스터(N1, N2)의 전류원 역할을 한다. 도 1과 같은 입력 회로를 차동(differential) 입력장치라고 하며, 여기서는 외부 입력신호중 데이터 신호를 제외한 나머지 신호들에 대한 것이다.

<17> 그런데, 도 1과 같은 종래 회로는 대기 상태에서도 전류를 소모한다. 즉, 입력장치가 동작하지 않는 일부 영역에서도 버퍼들이 동작하여 전류를 소모하게 된다. 예를 들면, 리프레쉬(refresh) 동작을 수행하는 시간 동안에는 외부 명령 신호가 입력되지 않는데도 불구하고 이러한 입력장치(command와 어드레스 버퍼)가 계속 턴온 되어 있어서 전류 소모를 초래한다. 또한, 이러한 입력장치들은 기준 전위(Vref)가 변동 되는 경우에는 정상동작을 하지 않는다.

<18> 시스템에서 파워를 줄일 목적으로 외부에서 명령신호가 입력되지 않는 영역 동안에 기준 전위(Vref)를 플로팅(floating) 시키게 되면, 이런 경우는 기준전위(Vref)신호가 접지 전위로 변하게 되면서 오동작을 일으키게 된다.

<19> 다른 시스템에서는 DDR을 동작시키면서 외부신호가 고 전위 신호로 전원 전위를 사용하고 저 전위 신호로 접지 전위를 사용한다. 이런 경우 CMOS로도 충분한 동작이 가능함에도 디퍼런셜 버퍼를 그냥 사용하고 있기 때문에 상기와 같이 대기시에 전류 소모가 발생된다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<20> 본 발명의 제1목적은, 외부에서 명령신호 혹은 어드레스 신호의 입력이 없는 경우에도 차동 버퍼가 동작하여 전류소모를 초래하는 것을 방지하기 위하여 특정동작에서 CMOS 입력장치가 동작 하도록 한다. 즉, 리프레쉬 동작의 수행중에 입력장치가 COMS 버퍼가 동작되도록 함으로써 해결하고자 한다.

<21> 또한, 본 발명의 제2목적은, 기준 전위가 정상적인 동작 영역을 유지하지 못하는 경우에 오동작 방지를 위하여 기준전위를 감지하여 기준전위가 특정 정상 동작 영역을 벗어나는 경우에 CMOS 버퍼가 동작되도록 하기 위한 것이다.

<22> 또한, 본 발명의 제3목적은, 입력장치가 충분한 스윙(Swing)을 하는 경우에 입력 버퍼가 CMOS로 동작 하도록 하기 위하여 외부에서 입력되는 신호의 전위를 감지하여 외부에서 입력되는 전위 레벨이 충분한 경우 CMOS 버퍼가 동작하도록 하기 위한 것이다.

【발명의 구성 및 작용】

<23> 상기 제1목적에 따른 본 발명은, 기준전위와 외부 입력신호를 차동 비교하여 버퍼링하는 차동 버퍼와, 상기 외부 입력신호를 버퍼링하는 CMOS버퍼와, 외부에서 입력되는 인에이블신호와 콘트롤신호를 논리 조합하여 상기 콘트롤신호가 하이인 정상적인 동작 상태에서는 상기 차동 버퍼를 동작시키고, 로우인 대기 상태에서는 상기 CMOS버퍼를 동작시키는 제어부와, 상기 차동 버퍼의 출력신호와 상기 CMOS버퍼의 출력신호를 낸드 조합하여 SSTL 인터페이스 입력신호로서 출력하는 출력부로 구성됨에 특징이 있다.

<24> 상기 제어부는, 상기 인에이블 신호와 콘트롤신호를 낸드 조합하는 제1낸드게이트와, 그 낸드게이트의 출력신호를 반전시켜 상기 차동버퍼의 콘트롤신호로서 인가하는 제2인버터와, 상기 콘트롤신호를 반전시키는 제1인버터와, 상기 인에이블 신호와 상기 제1인버터를 통해 반전된 콘트롤신호를 낸드 조합하는 제2낸드게이트와, 그 낸드 게이트의 출력신호를 반전시켜 상기 CMOS버퍼의 동작 제어신호로서 출력하는 제3인버터로 구성된다.

<25> 상기 본 발명의 제2목적에 따르면, 상기 제1 목적을 달성하기 위한 구성에 있어서, 상기 외부에서 입력되는 기준전위의 레벨을 감지하여 정상적인 동작 영역을 유지하는 경우에만 차동 버퍼를 동작시키고, 정상적인 동작 범위를 벗어나면 CMOS 버퍼를 동작시키도록 상기 콘트롤신호를 발생시키는 기준전위 레벨 감지회로를 더 포함시켜 구성함으로써 달성된다.

<26> 상기 기준 전위 레벨 감지회로는, 상기 외부에서 입력되는 기준전위(V_{ref})의 정상 동작 범위를 설정하기 위해서 제1기준전위 및 제2기준전위를 각각 발생하는 제1, 제2기준전위 발생부와, 상기 제1기준전위와 상기 외부에서 입력되는 기준전위를 외부에서 입력되는 인에이블 신호에 의해 동작되어 차동 비교하는 제1기준전위 비교부와, 상기 제2기준전위와 상기 외부에서 입력되는 기준전위를 외부에서 입력되는 인에이블 신호에 의해 동작되어 차동 비교하는 제2기준전위 비교부와, 상기 제1, 제2기준전위 비교부의 출력을 논리조합하여 상기 외부에서 입력되는 기준전위가 상기 제1기준전위에서 상기 제2기준전위 사이에 있는 경우에만 상기 제1 목적을 달성하기 위한 구성의 차동 버퍼를 동작시키고, 그 외의 경우에는 CMOS 버퍼를 동작시키도록 콘트롤신호를 발생시키는 콘트롤신호 발생부로 구성된다.

<27> 또한, 본 발명의 제3목적에 따르면, 상기 외부 입력신호의 전위를 감지하여 그 입력신호의 전위가 폴스윙인 경우에는 상기 CMOS 버퍼를 동작시키도록 제어신호를 발생시키는 입력신호 전위 감지회로를 더 포함하여 구성함으로써 달성된다.

<28> 상기 입력신호 전위 감지회로는, 상기 외부 입력신호의 폴스윙 여부를 감지하기 위해서 제1기준전위 및 제2기준전위를 각각 발생하는 제1, 제2기준전위 발생부와, 상기 제1기준전위와 상기 외부 입력신호를 외부에서 입력되는 인에이블 신호에 의해 동작되어

차동 비교하는 제1비교부와, 상기 제2기준전위와 상기 외부 입력신호를 외부에서 입력되는 인에이블 신호에 의해 동작되어 차동 비교하는 제2비교부와, 제1비교부 및 제2비교부의 출력신호를 각각 반전 입력 및 직접 입력받아 래치시켜 상기 외부입력신호가 폴스윙하는지 아니면 조금만 변하는지의 여부에 의해 폴스윙시에 CMOS버퍼를 동작시키도록 제어신호를 출력하는 제1, 제2래치부를 포함하여 구성됨에 특징이 있다.

<29> 이와 같은 본 발명의 실시예를 첨부된 도면을 참조해서 상세히 설명하면 다음과 같다.

<30> 도 2는 본 발명에 의한 입력 버퍼 회로도이다.

<31> 기준전위(Vref)와 외부 입력신호(EXTIN)를 차동 비교하여 버퍼링하는 차동 버퍼(10)와, 상기 외부 입력신호(EXTIN)를 버퍼링하는 CMOS버퍼(20)와, 외부에서 입력되는 인에이블신호(EN)와 콘트롤신호(CTRL)를 논리 조합하여 상기 콘트롤신호(CTRL)가 하이인 정상적인 동작 상태에서는 상기 차동 버퍼(10)를 동작시키고, 로우인 대기 상태에서는 상기 CMOS버퍼(20)를 동작시키는 제어부(30)와, 상기 차동 버퍼(10)의 출력신호와 상기 CMOS버퍼(20)의 출력신호를 낸드 조합하여 SSTL 인터페이스 입력신호(INT2)로서 출력하는 출력부(40)로 구성됨에 특징이 있다.

<32> 상기 CMOS버퍼(20)는, 상기 외부입력신호(EXTIN)를 게이트에 공통 입력받아 반전 출력하는 피모스 및 앤모스 트랜지스터(P11, N11)와, 상기 제어부(30)의 콘트롤신호가 로우인 경우의 제어신호에 의거하여 상기 앤모스 트랜지스터(N11)의 바이패스 전류원 역할을 하는 앤모스 트랜지스터(N12) 및 상기 제어부(30)의 제어신호에 의거하여 출력신호의 풀업 역할을 하는 피모스 트랜지스터(P12)로 구성된다.

- <33> 상기 제어부(30)는, 상기 인에이블 신호(EN)와 콘트롤신호(CTRL)를 낸드 조합하는 제1낸드게이트(NAND11)와, 그 낸드게이트(NAND11)의 출력신호를 반전시켜 상기 차동버퍼(11)의 콘트롤신호로서 인가하는 제2인버터(I12)와, 상기 콘트롤신호(CTRL)를 반전시키는 제1인버터(I11)와, 상기 인에이블 신호(EN)와 상기 제1인버터(I11)를 통해 반전된 콘트롤신호(CTRLB)를 낸드 조합하는 제2낸드게이트(NAND12)와, 그 낸드 게이트(NAND12)의 출력신호를 반전시켜 상기 CMOS버퍼의 동작 제어신호로서 출력하는 제3인버터(I13)로 구성된다.
- <34> 상기 출력부(40)는 상기 CMOS버퍼(20)와 상기 차동 버퍼(10)의 출력신호를 낸드 조합하는 낸드 게이트(NAND13)로 이루어진다.
- <35> 이와 같이 구성된 본 발명의 버퍼 회로는, 콘트롤신호(CTRL)가 하이인 경우에 제어부(30)의 제1낸드게이트(NAND11)가 로우 신호를 출력하고, 그 로우신호가 제2인버터(I12)를 통해 반전되어 하이 신호로서 차동 버퍼(10)에 인가된다.
- <36> 차동버퍼(10)는 콘트롤신호가 하이 신호로 인가되면, 바이패스 전류원인 앤모스트랜지스터(N3)가 턴온 되어 정상적인 동작을 한다. 즉, 외부입력신호(EXTIN)와 외부입력인 기준전위(Vref)가 비교되어 외부입력신호(EXTIN)를 전달하게 된다.
- <37> 이때, 상기 콘트롤신호(CTRL)가 하이신호이면, 반전된 콘트롤신호(CTRLB)가 로우신호가 되어 제2낸드게이트(NAND12)가 하이신호를 출력하고 제3인버터(I13)가 반전시켜 로우 신호로서 CMOS버퍼(20)에 인가되므로, 그 CMOS버퍼(20)의 바이패스 전류원인 앤모스트랜지스터(N12)가 턴 오프상태로서, 외부입력신호(EXTIN)와 관계없이 하이신호만을 출력하게 된다. 즉, CMOS버퍼(20)는 동작하지 않는다.

- <38> 만약, 콘트롤신호(CTRL)가 로우인 상태에서는, 제어부(30)의 동작에 의해 차동버퍼(10)에는 로우신호가, CMOS버퍼(20)에는 하이신호가 제어신호로서 인가되므로, CMOS버퍼(20)가 정상 동작한다.
- <39> 결과적으로, 콘트롤신호(CTRL)가 하이인 동작 상태에서는 정상적으로 차동 버퍼(10)가 동작하고, 콘트롤신호(CTRL)가 로우인 상태에서는 CMOS버퍼(20)만 동작된다. 즉, 외부에서 명령신호 혹은 어드레스 신호의 입력이 없는 경우에는 차동버퍼(10)가 동작하지 않게 되므로, 전류소모를 방지하게 되고, 이러한 상태에서 외부입력신호가 들어오면 예를들어, 리프레쉬 동작 수행중에는 CMOS버퍼(20)가 동작되어 입력을 전달하게 된다.
- <40> 도 3은 본 발명에 의한 외부입력 기준전위의 레벨 감지 회로도이다.
- <41> 상기 제어부(30)에 외부에서 입력되는 콘트롤신호(CTRL)를 외부에서 입력되는 기준전위(V_{ref})가 변화됨에 따라 제어하기 위한 것으로서, 전원전압에 의해 내부에서 소정의 전위(v_t)를 제1기준전위($Ref1$)로 발생하는 제1기준전위 발생부(51)와, 전원전압에 의해 내부에서 소정의 전위($V_{cc}-v_t$)를 제1기준전위($Ref2$)로 발생하는 제2기준전위 발생부(52)와, 상기 제1기준전위($Ref1$)와 상기 외부에서 입력되는 기준전위(Ref)를 외부에서 입력되는 인에이블 신호(EN)에 의해 동작되어 차동 비교하는 제1기준전위 비교부(53)와, 상기 제2기준전위($Ref2$)와 상기 외부에서 입력되는 기준전위(Ref)를 외부에서 입력되는 인에이블 신호(EN)에 의해 동작되어 차동 비교하는 제2기준전위 비교부(54)와, 상기 제1, 제2기준전위 비교부(53)(54)의 출력을 논리조합하여 상기 외부에서 입력되는 기준 전위(V_{ref})가 상기 제1기준전위(V_t)에서 상기 제2기준전위($V_{cc}-v_t$) 사이에 있는 경우에만 상기 차동 버퍼(10)를 동작시키고, 그 외의 경우에는 CMOS 버퍼(20)를 동작시키도록 콘트롤신호(CTRL)를 발생시키는 콘트롤신호 발생부(55)로 구성된다.

- <42> 상기 콘트롤신호 발생부(55)는 상기 제1기준전위 비교부(53)의 출력신호를 인버터(I50)를 통하여 반전 시킨 신호와 상기 제2기준전위 비교부(54)의 출력신호를 노아 논리 조합하여 콘트롤신호(CTRL)로 출력하는 노아게이트(NOR50)로 구성된다.
- <43> 이와 같이 구성된 기준전위 레벨 감지회로는, 외부에서 입력되는 기준전위(Vref)가 내부에서 발생한 기준전위 아래로 떨어지는 경우는 출력단으로 로우 신호를 출력함으로써, CMOS버퍼(20)를 동작시키도록 제어하기 위한 것이다.
- <44> 외부에서 입력되는 기준 전위(Vref)가 상기 제1기준전위(Vref)인 V_t 아래로 떨어지는 경우 제1기준전위 비교부(53)의 앤모스 트랜지스터(N53)가 턴온되어 로우신호를 출력하고, 이는 출력부(55)의 인버터(I50)를 통해 반전되어 노아게이트(NOR50)에 입력되고, 그 노아 게이트(NOR50)는 제2기준전위 비교부(54)의 출력신호와 관계없이 로우신호를 콘트롤신호(CTRL)로서 출력하게 되므로, 이 경우에는 CMOS버퍼(20)가 동작하게 된다.
- <45> 외부에서 입력되는 기준 전위(Vref)가 상기 제2기준전위(Vref2)인 $V_{cc}-V_t$ 이상으로 올라가는 경우 제2기준전위 비교부(54)의 앤모스 트랜지스터(N55)가 턴온되고 제2기준전위(Vref2)를 게이트에 입력받는 앤모스 트랜지스터(N56)는 턴 오프되므로, 하이신호가 출력되어 출력부(55)의 노아게이트(NOR50)는 제1기준전위 비교부(53)의 출력신호와 관계없이 로우신호를 콘트롤신호(CTRL)로 출력하므로, CMOS버퍼(20)가 동작되게 한다.
- <46> 따라서, 상기 외부에서 입력되는 기준전위(Vref)가 상기 제1기준전위(Vref)인 V_t 와 상기 제2기준전위(Vref2)인 $V_{cc}-v_t$ 사이에 있는 경우에만 상기 차동 버퍼(10)를 동작시키고, 그 외의 경우에는 CMOS 버퍼(20)를 동작시키도록 콘트롤신호(CTRL)를 발생시키게 된다.

- <47> 도 4는 본 발명에 의한 입력신호의 전위감지회로도이다.
- <48> 입력신호의 전위를 비교하기 위하여 내부에서 제1기준전위(Vref1), 제2기준전위(Vref2)를 발생하는 제1, 제2기준전위 발생부(61), (62)와, 외부입력신호(EXTIN)와 상기 제1, 제2기준전위(Vref1)(Vref2)를 각각 차동 비교하는 제1, 제2비교부(63)(64)와, 상기 제1비교부(63)의 출력인 인버터(I60)를 통하여 입력받아 모스트랜지스터(P66, N68) 및 패스게이트(G61)를 통하고 폐회로로 이루어진 인버터(I61, I62)에 의해 래치시켜 콘트롤 신호(CTRL)로서 출력하는 제1래치부(65)와, 상기 제2비교부(64)의 출력신호를 모스트랜지스터(P67, N69) 및 패스게이트(G62)를 통하고 폐회로로 이루어진 인버터(I63, I64)에 의해 래치시켜 콘트롤신호(CTRL)로서 출력하는 제2래치부(66)로 구성된다.
- <49> 이와 같이 구성된 입력신호 전위 감지회로는, 외부에서 입력되는 입력신호의 전위가 폴스윙 하는지 아니면 조금만 변하는지를 감지하기 위한 것이다.
- <50> 입력신호(EXTIN)가 제1기준전위(Vref1)보다 떨어지는 경우 비교부(63)의 앤모스트랜지스터(N63)가 턴온되어 로우신호를 출력하면, 인버터게이트(I60)를 통해 제1래치부(65)에 입력되고, 그 제1래치부(65)에서 래치되어 콘트롤신호가 출력되어 CMOS버퍼를 동작하게 한다.
- <51> 또한, 입력신호(EXTIN)가 제2기준전위(Vref2)보다 올라가게 되면, 제2비교부(64)의 출력신호가 하이신호가 되어 제2래치부(66)에 래치됨과 아울러 콘트롤신호가 출력되어 CMOS버퍼(20)를 동작시키게 된다.
- <52> 이것이 의미하는 바가 입력신호가 폴스윙을 한다는 것이므로, 이런 동작에서는 CMOS버퍼(20)가 동작하도록 제어한다. 여기서, 상기한 동작은 항상 동작될 필요가 없고,

특정시간만 동작하고 그 결과를 래치하여 저장하면 되므로 특정 동작 시간이라 함은 초기 파워 업 이후 일정시간을 의미하며, 이는 인에이블신호(enable)를 통해 동작시간을 제어할 수 있다.

【발명의 효과】

<53> 이상에서 상세히 설명한 바와 같이 본 발명에 의하면, 차동 버퍼회로에 CMOS버퍼회로를 추가하고, 그 차동 버퍼회로와 CMOS버퍼회로를 선택하는 제어부를 포함시켜 구성함으로써, 외부명령신호가 입력되지 않은 특정 동작, 예컨대, 리프레쉬 동작을 수행하는 동안에는 차동버퍼 대신에 CMOS버퍼만 동작하게 하여 전류소모를 줄일 수 있는 효과가 있다. 또한, 외부에서 입력되는 기준 전위의 레벨을 감지하여 정상동작 범위 내에서는 차동 버퍼가 동작되게 하고, 정상동작 범위를 벗어난 경우에는 CMOS버퍼를 동작되게 함으로써, 외부 입력 기준전위가 변동되는 경우에도 정상동작을 수행할 수 있는 효과가 있다. 또한, 외부에서 입력되는 입력신호의 전위를 감지하여 폴스윙인 경우에는 CMOS버퍼가 동작되게 함으로써, 안정된 입력장치로서 동작할 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

SSTL 인터페이스에 사용되는 입력 버퍼회로에 있어서,

기준전위와 외부 입력신호를 차동 비교하여 버퍼링하는 차동 버퍼와;

상기 외부 입력신호를 CMOS를 통해 버퍼링하는 CMOS버퍼와;

외부에서 입력되는 인에이블신호와 콘트롤신호를 논리 조합하여 상기 콘트롤신호가 정상적인 동작 상태에서는 상기 차동 버퍼를 동작시키고, 외부에서 명령신호 또는 어드레스 신호등의 입력신호가 없는 경우와 리프레쉬 동작 수행등의 특정 동작에서는 상기 CMOS버퍼를 동작시키는 제어부와;

상기 차동버퍼의 출력신호와 상기 CMOS버퍼의 출력신호를 낸드 조합하여 SSTL 인터페이스 입력신호로서 출력하는 출력부로 구성된 것을 특징으로 하는 전류소모를 줄인 입력 버퍼회로.

【청구항 2】

제 1 항에 있어서, 상기 제어부는,

상기 인에이블 신호와 콘트롤신호를 낸드 조합하는 제1낸드게이트와, 그 낸드게이트의 출력신호를 반전시켜 상기 차동버퍼의 콘트롤신호로서 인가하는 제2인버터와, 상기 콘트롤신호를 반전시키는 제1인버터와, 상기 인에이블 신호와 상기 제1인버터를 통해 반전된 콘트롤신호를 낸드 조합하는 제2낸드게이트와, 그 낸드 게이트의 출력신호를 반전시켜 상기 CMOS버퍼의 동작 제어신호로서 출력하는 제3인버터로 구성된 것을 특징으로 하는 전류소모를 줄인 입력 버퍼회로.

【청구항 3】

제 1 항에 있어서,

상기 외부에서 입력되는 기준전위의 레벨을 감지하여 정상적인 동작 영역을 유지하는 경우에만 차동 버퍼를 동작시키고, 정상적인 동작 범위를 벗어나면 CMOS버퍼를 동작시키도록 상기 제어부에 입력되는 콘트롤신호를 발생시키는 기준전위 레벨 감지회로를 더 포함시켜 구성된 것을 특징으로 하는 전류소모를 줄인 입력 버퍼회로.

【청구항 4】

제 3 항에 있어서, 상기 기준 전위 레벨 감지회로는,

상기 외부에서 입력되는 기준전위의 정상 동작 범위를 설정하기 위해서 제1기준전위 및 제2기준전위를 각각 발생하는 제1, 제2기준전위 발생부와,

상기 제1기준전위와 상기 외부에서 입력되는 기준전위를 외부에서 입력되는 인에이블 신호에 의해 동작되어 차동 비교하는 제1기준전위 비교부와,

상기 제2기준전위와 상기 외부에서 입력되는 기준전위를 외부에서 입력되는 인에이블 신호에 의해 동작되어 차동 비교하는 제2기준전위 비교부와,

상기 제1, 제2기준전위 비교부의 출력을 논리조합하여 상기 외부에서 입력되는 기준전위가 상기 제1기준전위에서 상기 제2기준전위 사이에 있는 경우에만 상기 차동 버퍼를 동작시키고, 그 외의 경우에는 CMOS 버퍼를 동작시키도록 콘트롤신호를 발생시키는 콘트롤신호 발생부로 구성된 것을 특징으로 하는 전류소모를 줄인 입력 버퍼회로.

【청구항 5】

제 1 항에 있어서,

상기 외부 입력신호의 전위를 감지하여 그 입력신호의 전위가 폴스윙인 경우에는 상기 CMOS버퍼를 동작시키도록 제어신호를 발생하는 입력신호 전위 감지회로를 더 포함하여 구성된 것을 특징으로 하는 전류소모를 줄인 입력 버퍼회로.

【청구항 6】

제 5 항에 있어서, 상기 입력신호 전위 감지회로는,

상기 외부 입력신호의 폴스윙 여부를 감지하기 위해서 제1기준전위 및 제2기준전위를 각각 발생하는 제1, 제2기준전위 발생부와,

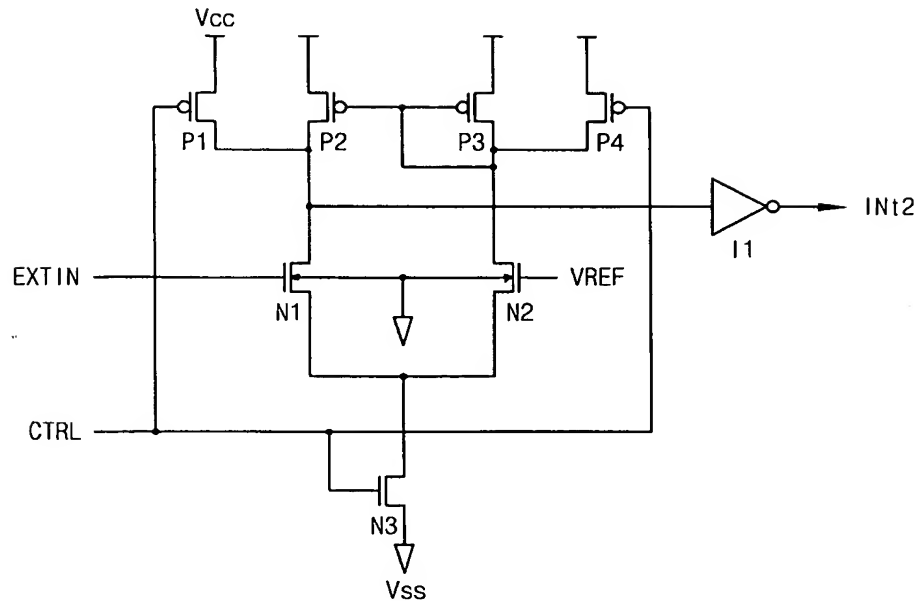
상기 제1기준전위와 상기 외부 입력신호를 외부에서 입력되는 인에이블 신호에 의해 동작되어 차동 비교하는 제1비교부와,

상기 제2기준전위와 상기 외부 입력신호를 외부에서 입력되는 인에이블 신호에 의해 동작되어 차동 비교하는 제2비교부와,

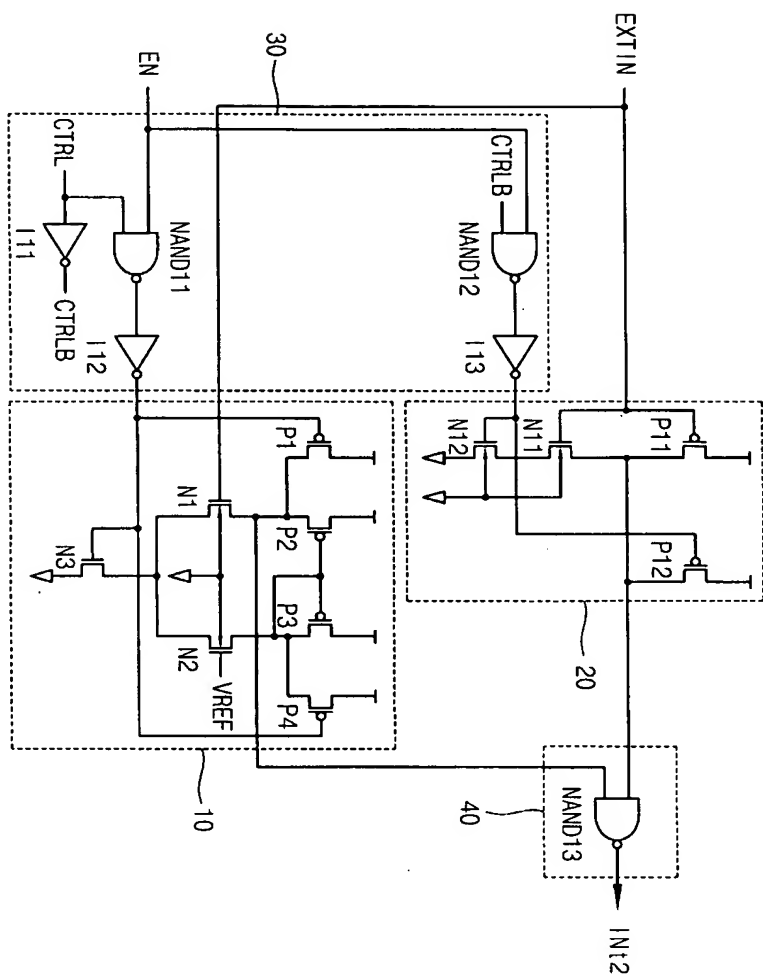
상기 제1비교부 및 제2비교부의 출력신호를 각각 반전 입력 및 직접 입력받아 래치시켜 상기 외부입력신호가 폴스윙하는지 아니면 조금만 변하는지의 여부에 의해 폴스윙시에 CMOS버퍼를 동작시키도록 제어신호를 출력하는 제1, 제2래치부를 포함하여 구성된 것을 특징으로 하는 전류소모를 줄인 입력 버퍼회로.

【도면】

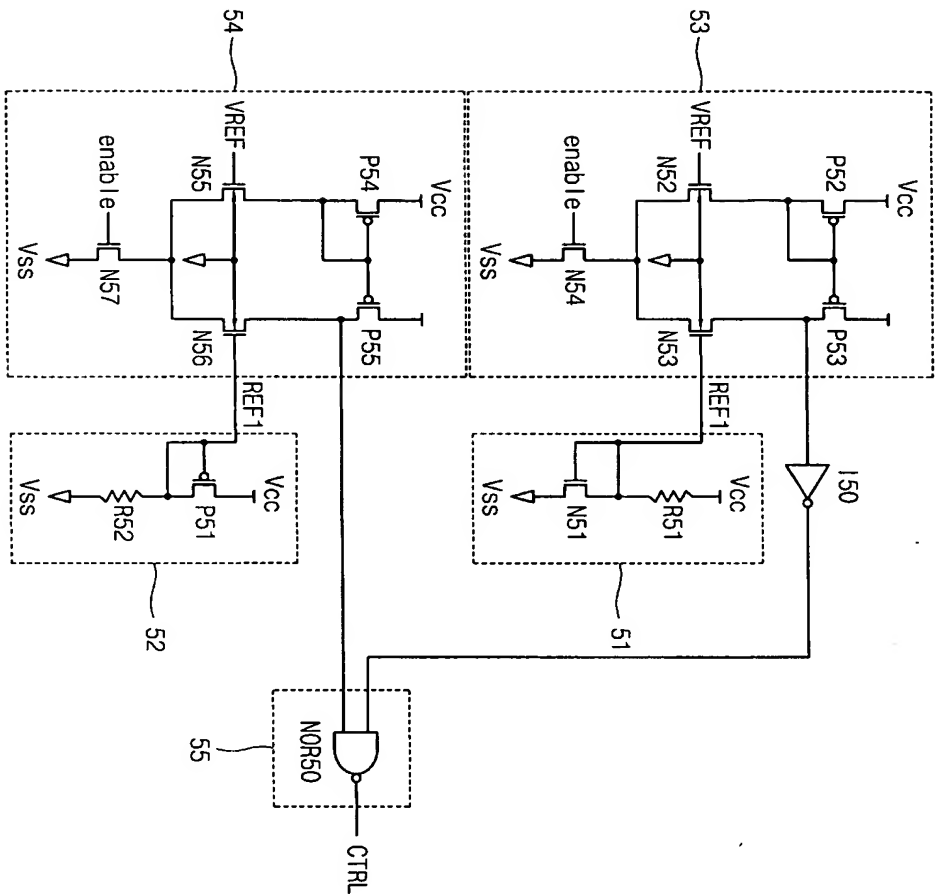
【도 1】



【도 2】



【도 3】



【도 4】

